

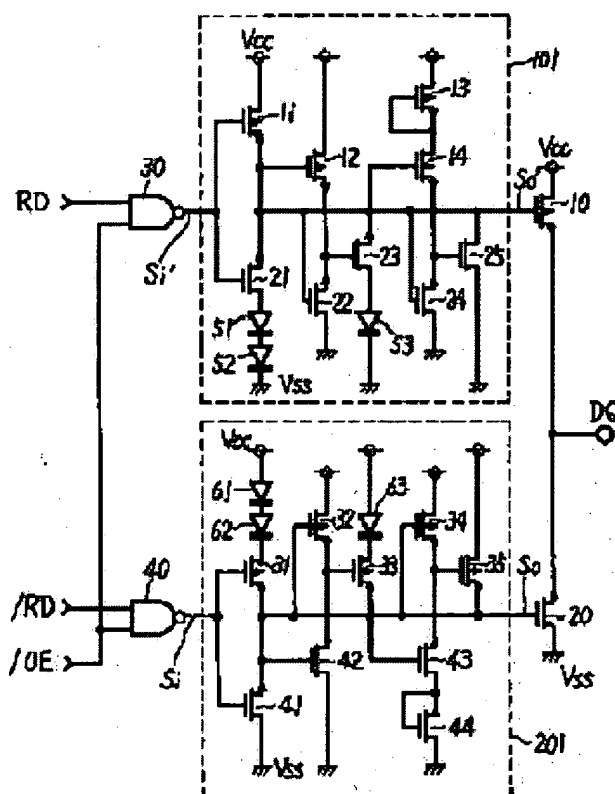
OUTPUT DRIVER CIRCUIT

Patent number: JP6006195
Publication date: 1994-01-14
Inventor: DOI YOSHITSUGU; SHIOMI TORU; NAKAOKA YOSHITO
Applicant: MITSUBISHI ELECTRIC CORP
Classification:
- international: G11C11/417; H03K17/16; H03K17/687; H03K19/003;
 G11C11/417; H03K17/16; H03K17/687; H03K19/003;
 (IPC1-7): H03K17/16; G11C11/417; H03K17/687;
 H03K19/003
- european:
Application number: JP19920159468 19920618
Priority number(s): JP19920159468 19920618

Report a data error here

Abstract of JP6006195

PURPOSE: To prevent generation of noise by changing a drive transistor (TR) driving an output terminal stepwise from a cut-off state into a conduction state through the action of a stepwise control voltage generating means so as to prevent a steep change in an output current. **CONSTITUTION:** A TR 44 is connected between a TR 43 and a ground potential VSS. Then the TR 42 is conducted faster than the TR 43. Since a voltage being (power supply voltage-threshold voltage V_{th}) is given to a gate of the TR 43 after a time t_2 , the TR 43 is turned on. Then a voltage of $VSS + V_{th}$ is given to a gate of a TR 35 and the TR 35 is turned on after a time t_3 . Then after the time t_3 , a voltage level of an output signal S0 reaches the voltage TCC. As a result, the signal S0 outputted from a step control voltage generating circuit 201 is a signal waveform changed stepwise. Since the signal S0 is given to a gate of a driver TR 20, the TR changes from the interrupting state to the conductive state in response to the signal S0, then production of a steep change in the power supply is prevented.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-6195

(43)公開日 平成6年(1994)1月14日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 K 17/16

H 9184-5 J

G 1 1 C 11/417

H 0 3 K 17/687

6741-5 L

G 1 1 C 11/ 34

3 0 5

8221-5 J

H 0 3 K 17/ 687

F

審査請求 未請求 請求項の数 2(全 15 頁) 最終頁に続く

(21)出願番号

特願平4-159468

(22)出願日

平成4年(1992)6月18日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 土肥 由承

兵庫県伊丹市荻野1丁目132番地 大王電
機株式会社内

(72)発明者 塩見 徹

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社北伊丹製作所内

(72)発明者 中岡 義人

兵庫県伊丹市荻野1丁目132番地 大王電
機株式会社内

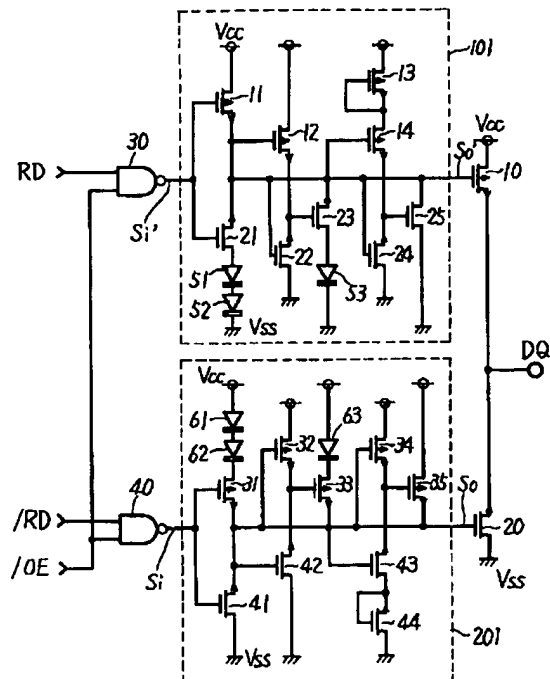
(74)代理人 弁理士 深見 久郎 (外3名)

(54)【発明の名称】 出力ドライバ回路

(57)【要約】

【構成】 半導体集積回路装置のための改善された出力ドライバ回路であって、出力端子DQを駆動するための駆動トランジスタのゲートに、階段制御電圧発生回路が接続される。階段制御電圧発生回路は、与えられた入力データ信号にตอบสนองして、複数の階段を含む階段形状で変化する階段制御電圧を駆動トランジスタのゲートに与える。したがって、駆動トランジスタは、遮断状態から導通状態へ段階的に変化する。

【効果】 出力端子を介して流れる出力電流における急峻な変化が防がれるので、寄生インダクタンスによりノイズが発生されるのが防がれ、誤動作が防がれる。



【特許請求の範囲】

【請求項 1】 出力端子と、

電源電位と前記出力端子との間に接続され、前記出力端子に接続される負荷を駆動するための駆動トランジスタと、
与えられた入力信号に応答して、複数の階段を含む階段形状で変化する階段制御電圧を発生する階段制御電圧発生手段とを含み、
前記階段制御電圧は、前記駆動トランジスタの制御電極に与えられる、出力ドライバ回路。

【請求項 2】 出力端子と、

電源電位と前記出力端子との間に接続され、前記出力端子に接続される負荷を駆動するための駆動トランジスタと、
与えられた入力信号に応答して、前記駆動トランジスタを制御するための制御電圧を発生する制御電圧発生手段とを含み、
前記制御電圧発生手段から発生された制御電圧は、前記駆動トランジスタの制御電極に与えられ、
外部から与えられる制御信号に応答して、前記制御電圧発生手段から発生される制御電圧を一時的に予め定められた中間電位に保持する一時的電圧保持手段を含む、出力ドライバ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、一般に半導体集積回路装置のための出力ドライバ回路に関し、特に、ノイズの発生を抑制することのできる出力ドライバ回路に関する。

【0002】

【従来の技術】一般に、複数の半導体集積回路装置はプリント回路基板上に置かれており、それらの入出力端子は、プリント回路基板上に設けられた配線を介して互いに接続されている。したがって、半導体集積回路装置から出力信号が出力されるとき、その出力端子（または出力リード）に接続された配線および他の半導体集積回路装置、すなわち負荷が出力信号により駆動される。

【0003】一般に、半導体集積回路装置の出力段には、出力端子に接続された負荷を駆動するための出力ドライバ回路が設けられている。出力端子に接続される負荷の大きさは様々であり、したがって、大きな負荷が接続される場合や、小さな負荷が接続される場合がある。大きな負荷をも駆動できるように、出力ドライバ回路の最終段のトランジスタは、一般に大きな相互コンダクタンス（または電流駆動能力）を有するものが使用されている。

【0004】この発明は、一般に半導体集積回路装置の出力段に設けられる出力ドライバ回路に適用可能であるが、以下の記載では、この発明が半導体メモリに適用される例について説明する。

【0005】図19は、従来のスタティックランダムアクセスメモリ（以下「SRAM」という）の回路ブロック図である。図19を参照して、SRAM100は、外部から与えられるXアドレス信号XAおよびYアドレス信号YAを受けるアドレスバッファ84と、アドレス信号XAおよびYAをデコードするXデコーダ85およびYデコーダ86と、ワード線3aないし3dを駆動するワード線駆動回路87と、ビット線対6a, 6bないし9a, 9bを選択する列選択回路88と、各々が対応するワード線とビット線対とに接続されたメモリセルMCを含むメモリセルアレイ97とを含む。

【0006】このSRAM100は、さらに、メモリセルMCから読出されたデータ信号を増幅するローカルセンスアンプ89と、ローカルセンスアンプ89を活性化するためのセンスアンプ活性化回路90と、書込まれるべき入力データ信号DIを増幅する書込アンプ91と、メモリセルMCにデータ信号を書込むデータ書込回路92と、ローカルセンスアンプ89からの出力信号を増幅するメインセンスアンプ94と、メインセンスアンプ94にクランプ電位を与えるクランプ電位発生回路93と、メインセンスアンプ94から出力されたTTLレベルの信号をMOSレベルの信号に変換するレベル変換回路95と、変換された信号に応答して、出力端子DQに接続される負荷を駆動する出力ドライバ回路96とを含む。ライン100は、半導体基板をも示している。

【0007】データ書込動作において、Xアドレス信号XAおよびYアドレス信号YAがアドレスバッファ84を介してXデコーダ85およびYデコーダ86に与えられる。Xデコーダ85は、Xアドレス信号XAをデコードすることにより、ワード線3aないし3dのうちの1本を選択的に活性化する。Yデコーダ86は、Yアドレス信号YAをデコードすることにより、ビット線対6a, 6bないし9a, 9bのうちの1つを選択する。入力データ信号DIは、書込アンプ91を介してデータ書込回路92に与えられる。データ書込回路92は、与えられたデータ信号を増幅し、Yデコーダ86によって選択されたビット線対を駆動する。その結果、活性化されたワード線および選択されたビット線対によって決定されるメモリセルMCに、入力データ信号DIがストアされる。

【0008】読出動作において、Xデコーダ85が、外部から与えられたXアドレス信号XAをデコードすることにより、ワード線3aないし3dのうちの1本を選択的に活性化する。活性化されたワード線に接続されているメモリセルMCにストアされているデータ信号が、それぞれのビット線対6a, 6bないし9a, 9b上に与えられる。Yデコーダ86は、外部から与えられたYアドレス信号YAをデコードすることにより、1つのビット線対を選択する。したがって、1つのビット線対上のデータ信号が、選択的にローカルセンスアンプ89に与

えられる。ローカルセンスアンプ89によって増幅されたデータ信号は、メインセンスアンプ94に与えられ、増幅される。

【0009】メインセンスアンプ94によって増幅されたデータ信号は、いわゆるTTLレベルの範囲内で規定されているため、レベル変換回路95がTTLレベルからMOSレベルへのレベル変換を行なう。変換されたデータ信号は、出力ドライバ回路96に与えられ、出力ドライバ回路96は、与えられた信号に応答して、出力端子DQに接続される負荷を駆動する。

【0010】図20は、図19に示したSRAM100において用いられるメモリセルの一例を示す回路図である。図20を参照して、この高抵抗負荷型メモリセルは、高い抵抗値を有する抵抗R1、R2と、駆動トランジスタとしてのNMOSTランジスタQ1、Q2と、アクセストランジスタとしてのNMOSTランジスタQ3、Q4とを含む。

【0011】図21は、図19に示したSRAM100において用いられるメモリセルの別の例を示す回路図である。図21を参照して、このCMOS型メモリセルは、図20に示した抵抗R1、R2に換えて設けられたPMOSTランジスタQ5、Q6と、NMOSTランジスタQ1ないしQ4とを含む。

【0012】図23は、図19に示した出力ドライバ回路96の回路図である。図23を参照して、従来の出力ドライバ回路96は、電源電位Vccと接地電位Vssとの間に直列に接続されたPMOSTランジスタ10およびNMOSTランジスタ20と、トランジスタ10のゲートに制御電圧を与えるNANDゲート77と、トランジスタ20のゲートに制御電圧を与えるNORゲート76とを含む。レベル変換回路95から出力されたデータ信号RDは、NANDゲート77およびNORゲート76のそれぞれの一方入力に与えられる。外部から与えられる出力イネーブル信号/OEは、NORゲート76の他方入力に与えられる。NANDゲート77の他方入力、出力イネーブル信号/OEの反転された信号をインバータ79から受ける。出力端子DQは、トランジスタ10および20の共通接続ノードに接続される。

【0013】動作において、外部から低レベルの出力イネーブル信号/OEが与えられたとき、NANDゲート77およびNORゲート76は、インバータとして動作する。すなわち、NANDゲート77は、与えられたデータ信号RDを反転し、反転された信号をトランジスタ10のゲートに与える。NORゲート76も、与えられたデータ信号RDを反転し、反転された信号をトランジスタ20のゲートに与える。その結果、トランジスタ10および20の一方が、データ信号RDにตอบสนองして選択的にオンし、出力端子DQに接続された負荷が駆動される。

【0014】出力イネーブル信号/OEが高レベルであ

るとき、NANDゲート77およびNORゲート76は高レベルおよび低レベルの出力信号をそれぞれ出力する。すなわち、与えられたデータ信号RDに依存することなく、固定された電位がトランジスタ10および20のゲートに与えられる。このときトランジスタ10および20がオフするので、出力端子DQはフローティング状態にもたらされる（すなわち駆動されない）。

【0015】前述のように、出力端子DQには図示されていない様々な負荷が接続されるので、トランジスタ10および20の相互コンダクタンス（または電流駆動能力）はそれらの負荷を十分に駆動できる値に設計されている。したがって、出力端子DQに大きな負荷が接続されているとき、出力端子DQおよびトランジスタ10または20を介して大きな電流が流れることになる。

【0016】

【発明が解決しようとする課題】図22は、半導体メモリがプリント配線基板上に実装されたときの模式的な回路図を示している。図22を参照して、半導体メモリ300は、電源ラインVccと接地ラインVssとの間に接続される。半導体メモリ300は、データ入力端子DIを介して入力データ信号を受け、データ出力端子DQを介して負荷303を駆動する。半導体メモリ300の出力ドライバ回路内の駆動トランジスタは、負荷303を駆動するのに十分大きな相互コンダクタンスを有しているので、出力端子DQを介して流れる出力電流Ioは急峻な立上がりおよび立下がり波形を有している。言換えると、出力電流Ioは、高周波数信号成分を含んでいる。したがって、半導体メモリ300と各電源ラインVccおよび接地ラインVssとの間には、図22に示すように、高周波数信号成分に対して無視できない寄生インダクタンス301および302が存在する。

【0017】寄生インダクタンス301、302のインダクタンス値をLと仮定すると、これらの寄生インダクタンス301、302を電流Ioが流れることによって生じる電圧変動ΔVは、次式により表わされる。

$$\Delta V = L \cdot (dI_o / dt) \dots\dots (1)$$

式(1)の電圧変動ΔVは電源ラインVccおよび接地ラインVssにノイズとして伝えられ、したがって、半導体メモリ300において誤動作が引き起こされることになる。

【0019】図24は、図22に示した半導体メモリ300における誤動作を説明するための信号波形図である。図24を参照して、時刻t21において書込イネーブル信号/WEが立上がり、時刻t22において、出力端子DQの電圧が、出力データ信号にตอบสนองして変化する。したがって、出力端子DQを介して流れる出力電流Io（図示せず）が急峻であるため接地ラインVssの電位が図24に示されるように変動する。その結果、書込イネーブル信号/WEおよび出力イネーブル信号/OEなどの入力信号のレベルも接地レベルに対し相対的に

変動し、その結果誤動作が引起こされる。

【0020】すなわち、接地ライン V_{ss} の電位の変動により、たとえば外部から与えられる書込イネーブル信号/WEを受けるバッファ回路のしきい電圧 V_{th} が、図24において一点鎖線で示されるように真の接地レベルに対し相対的に変動する。その結果、半導体メモリにおいて時刻 t_{23} ないし t_{24} の間の期間において信号/WEが低レベルであると検出され得る。その結果、半導体メモリにおいて誤動作が引起こされることになる。

【0021】この発明は、上記のような課題を解決するためになされたもので、出力ドライバ回路によるノイズの発生を抑制することを目的とする。

【0022】

【課題を解決するための手段】請求項1の発明にかかる出力ドライバ回路は、電源電位と出力端子との間に接続され、出力端子に接続される負荷を駆動するための駆動トランジスタと、与えられた入力信号に応答して、複数の階段を含む階段形状で変化する階段制御電圧を発生する階段制御電圧発生手段とを含む。階段制御電圧は、駆動トランジスタの制御電極に与えられる。

【0023】請求項2の発明にかかる出力ドライバ回路は、電源電位と出力端子との間に接続され、出力端子に接続される負荷を駆動するための駆動トランジスタと、与えられた入力信号に応答して、駆動トランジスタを制御するための制御電圧を発生する制御電圧発生手段と、外部から与えられる制御信号に応答して、制御電圧発生手段から発生される制御電圧を一時的に予め定められた中間電位に保持する一時的電圧保持手段とを含む。制御電圧発生手段から発生された制御電圧は、駆動トランジスタの制御電極に与えられる。

【0024】

【作用】請求項1の発明における出力ドライバ回路では、駆動トランジスタが、階段制御電圧発生手段から与えられる階段制御電圧に応答して次第に導通するので、出力電流における急峻な変化が防がれ、したがって出力ドライバ回路によるノイズの発生が抑制され得る。

【0025】請求項2の発明における出力ドライバ回路では、制御電圧発生手段から発生される制御電圧が一時的電圧保持手段により一時的に予め定められた中間電位に保持される。したがって、駆動トランジスタが、瞬時に導通するのではなく、一時的に中間の導通状態にもたられるので、出力電流における急峻な変化が防がれ、出力ドライバ回路によるノイズの発生が抑制され得る。

【0026】

【実施例】図1は、この発明の一実施例を示す出力ドライバ回路の回路図である。図1を参照して、この出力ドライバ回路は、電源電位 V_{cc} と接地電位 V_{ss} との間に直列に接続されたPMOSTランジスタ10およびNMOSTランジスタ20と、トランジスタ10のゲートに階段制御電圧を与える階段制御電圧発生回路101

と、トランジスタ20のゲートに階段制御電圧を与える階段制御電圧発生回路201とを含む。NANDゲート30および40のそれぞれ的一方入力、出力イネーブル信号/OEを受ける。NANDゲート30の他方入力、データ信号RDを受ける。NANDゲート40の他方入力、反転されたデータ信号/RDを受ける。出力データ端子DQは、トランジスタ10および20の共通接続ノードに接続される。

【0027】階段制御電圧発生回路101は、電源電位 V_{cc} と接地電位 V_{ss} との間に直列に接続されたPMOSTランジスタ11、NMOSTランジスタ21、ダイオード51および52と、電源電位 V_{cc} と接地電位 V_{ss} との間に直列に接続されたPMOSTランジスタ12およびNMOSTランジスタ22と、電源電位 V_{cc} と接地電位 V_{ss} との間に直列に接続されたPMOSTランジスタ13、14およびNMOSTランジスタ24と、トランジスタ10のゲートと接地電位 V_{ss} との間に直列に接続されたNMOSTランジスタ23およびダイオード53と、トランジスタ10のゲートと接地電位 V_{ss} との間に接続されたNMOSTランジスタ25とを含む。トランジスタ11および21は、ゲートがNANDゲート30の出力ノードに接続される。各ダイオード51、52および53は、この実施例ではMOSTランジスタのダイオード接続によって形成されるが、バイポーラトランジスタのダイオード接続のいずれによっても実現され得る。

【0028】階段制御電圧発生回路201は、電源電位 V_{cc} と接地電位 V_{ss} との間に直列に接続されたダイオード61、62、PMOSTランジスタ31およびNMOSTランジスタ41と、電源電位 V_{cc} と接地電位 V_{ss} との間に直列に接続されたPMOSTランジスタ32およびNMOSTランジスタ42と、電源電位 V_{cc} と接地電位 V_{ss} との間に直列に接続されたPMOSTランジスタ34、NMOSTランジスタ43および44と、電源電位 V_{cc} とトランジスタ20のゲートとの間に直列に接続されたダイオード63およびPMOSTランジスタ33と、電源電位 V_{cc} とトランジスタ20のゲートとの間に接続されたPMOSTランジスタ35とを含む。トランジスタ31および41は、ゲートがNANDゲート40の出力ノードに接続される。ダイオード61、62および63もまた、MOSTランジスタのダイオード接続によって形成されるが、バイポーラトランジスタのダイオード接続によっても実現され得る。

【0029】次に、図1に示した階段制御電圧発生回路101、201の動作について説明する。図2は、図1に示した階段制御電圧発生回路201の動作を説明するためのタイミング図である。図1および図2を参照して、時刻 t_1 までは、高レベル、すなわち電源電圧 V_{cc} レベルの入力信号 S_i がNANDゲート40から与えられる。したがって、トランジスタ41がオンし、低レ

ベル、すなわち接地電位 V_{ss} レベルの出力信号 S_o が駆動トランジスタ 20 のゲートに与えられる。トランジスタ 20 はオフするので、出力端子 DQ はプルダウンされない。

【0030】時刻 t_1 において、入力信号 S_i が立下がる。まず、トランジスタ 31 が低レベルの入力信号 S_i に応答してオンし、一方、トランジスタ 41 はオフする。各ダイオード 61、62 および 63 は、しきい電圧 V_{th} を有する MOS トランジスタのダイオード接続により構成されているので、1つのダイオード接続によりダイオードのアノードの電圧が V_{th} だけレベルシフトされる。したがって、トランジスタ 31 の導通により、出力信号 S_o の電圧レベルは、図 2 に示されるように、 $V_{cc} - 2V_{th}$ になる。出力信号 S_o のこの電圧レベルは時刻 t_2 まで続く。

【0031】電圧 $V_{cc} - 2V_{th}$ に応答して、トランジスタ 42 は、中間の導通状態でオンし、トランジスタ 33 のゲートには接地レベルの電圧が与えられる。したがって、トランジスタ 33 が時刻 t_2 においてオンするので、時刻 t_2 の後は出力信号 S_o の電圧レベルが図 2 に示すように $V_{cc} - V_{th}$ になる。すなわち、トランジスタ 33 のオンにより、電源電圧レベル V_{cc} よりもダイオード 63 のしきい電圧 V_{th} だけシフトされた電圧が出力信号 S_o として出力される。この出力電圧レベルは、時刻 t_3 まで続く。

【0032】図 1 に示されるように、トランジスタ 44 は、ダイオード接続態様で、トランジスタ 43 と接地電位 V_{ss} との間に接続されている。したがって、トランジスタ 43 は、それ自身のゲート電圧が $V_{ss} + 2V_{th}$ 以上にならないと導通しない。したがって、トランジスタ 42 および 43 を比較すると、トランジスタ 42 の方がより早く導通する。トランジスタ 43 のゲートには、時刻 t_2 の後、 $V_{cc} - V_{th}$ の電圧が与えられるので、トランジスタ 43 がオンする。したがって、トランジスタ 35 のゲートに $V_{ss} + V_{th}$ の電圧が与えられ、トランジスタ 35 が時刻 t_3 の後オンする。したがって、時刻 t_3 の後、出力信号 S_o の電圧レベルは V_{cc} になる。

【0033】その結果、階段制御電圧発生回路 201 から出力される出力信号 S_o は、図 2 に示すような階段形状で変化する信号波形を有する。この出力信号 S_o が駆動トランジスタ 20 のゲートに与えられるので、トランジスタ 20 は、与えられる信号 S_o に応答して、遮断状態から導通状態に向け次第に変化する。その結果、出力端子 DQ に与えられる出力データ信号の電圧は、図 2 の曲線 C1 により示すように変化する。

【0034】図 2 では、比較のために、階段制御電圧発生回路 201 が設けられなかった場合の出力データ信号の電圧の変化が曲線 C2 により示されている。曲線 C1 および C2 を比較するとわかるように、出力端子 DQ の

電圧は、階段制御電圧発生回路 201 を設けることにより、比較的緩やかに降下する。これに対し、階段制御電圧発生回路 201 が設けられないと、出力端子 DQ の電圧は急峻に立下がる（曲線 C2）。

【0035】このように、出力端子 DQ の電圧が次第に降下するので、出力端子 DQ を介して負荷に供給される電流の急峻な変化が引起こされるのが防がれる。したがって、急峻な電流の変化により、図 22 に示した寄生インダクタンス 301 および 302 により引き起こされる電圧変動が防がれ、その結果、電源ライン V_{cc} および接地ライン V_{ss} の電位の変動が防がれ得る。

【0036】図 1 に示した階段制御電圧発生回路 201 は、図 2 に示したように上昇する階段制御電圧を発生したが、一方、階段制御電圧発生回路 101 は、降下する階段制御電圧を発生する。以下の記載では、図 1 に示した階段制御電圧発生回路 101 の動作について説明する。

【0037】図 1 を参照して、最初に、NAND ゲート 30 から低レベルの入力信号 S_i が与えられる。トランジスタ 11 は入力信号 S_i に応答してオンするので、高レベル、すなわち電源電圧 V_{cc} レベルの出力信号 S_o がトランジスタ 10 のゲートに与えられる。トランジスタ 10 は、オフするので、出力端子 DQ はプルアップされない。

【0038】NAND ゲート 30 から高レベルの入力信号 S_i が与えられたとき、トランジスタ 21 がオンする。ダイオード 51、52 および 53 も、しきい電圧 V_{th} を有する MOS トランジスタにより構成されているので、アノードに与えられた電圧が V_{th} だけシフトされる。したがって、トランジスタ 21 の導通により、 $V_{ss} + 2V_{th}$ の出力信号 S_o が出力される。

【0039】トランジスタ 12 は、電圧 $V_{ss} + 2V_{th}$ に応答してオンするので、トランジスタ 23 のゲートに電源電圧 V_{cc} レベルの電圧が与えられ、トランジスタ 23 がオンする。トランジスタ 23 の導通により、電圧 $V_{ss} + V_{th}$ が出力信号 S_o として出力される。

【0040】トランジスタ 13 は、ダイオード接続態様で、電源電位 V_{cc} とトランジスタ 14 との間に接続されている。したがって、トランジスタ 14 は、ゲート電圧が $V_{cc} - 2V_{th}$ 以下にならないと導通しない。したがって、トランジスタ 12 および 14 を比較すると、トランジスタ 12 の方がより早く導通する。

【0041】トランジスタ 14 は、ゲート電圧 $V_{ss} + V_{th}$ に応答してオンするので、トランジスタ 25 のゲートに電圧 $V_{cc} + V_{th}$ が与えられる。したがって、トランジスタ 25 がオンするので、出力信号 S_o の電圧レベルが V_{ss} レベルまで降下する。

【0042】その結果、階段制御電圧発生回路 101 が、降下する階段形状で変化する制御電圧を発生し、その制御電圧を出力信号 S_o として駆動トランジスタ 1

0のゲートに与える。したがって、トランジスタ10が、遮断状態から導通状態に向け次第に変化するの、出力端子DQを介して負荷に供給される電流も次第に変化する。すなわち、出力電流における急峻な変化が防がれるので、この階段制御電圧発生回路101の働きによっても、図22に示した寄生インダクタンス301、302によるノイズの発生が防がれ得る。

【0043】以下の記載では、図1に示した階段制御電圧発生回路101および201のいくつかの変形について説明する。図3を参照して、階段制御電圧発生回路202は、図1に示した回路201と比較すると、ダイオード61および62に代えて抵抗64が設けられ、ダイオード63に代えて抵抗65が設けられる。抵抗64および65は、拡散抵抗またはポリシリコン抵抗により形成される。これに加えて、図1に示したPMOSトランジスタ32および34が省かれている。他の回路接続は図1に示した回路201と同様であり、図3に示した階段制御電圧発生回路202も回路201と同様に動作する。

【0044】図4を参照して、階段制御電圧発生回路203は、図1に示した回路201と比較すると、図1に示したトランジスタ44に代えて、抵抗66が設けられている。抵抗66は、拡散抵抗またはポリシリコン抵抗により形成される。他の回路接続は図1に示した回路201と同様であり、図4に示した階段制御電圧発生回路203も回路201と同様に動作する。

【0045】図5を参照して、階段制御電圧発生回路204は、図1に示した回路201と比較すると、ダイオード61および62に代えて抵抗64が、ダイオード63に代えて抵抗65が、PMOSトランジスタ44に代えて抵抗66が、それぞれ設けられる。他の回路接続は図1に示した回路201と同様であり、この回路204もそれと同様に動作する。

【0046】図6を参照して、階段制御電圧発生回路205は、図1に示した回路201と比較すると、PMOSトランジスタ44に代えてダイオード67が設けられる。他の回路接続は回路201と同様であり、それと同様に動作する。

【0047】図7を参照して、階段制御電圧発生回路206は、図1に示した回路201と比較すると、ダイオード61および62に代えて抵抗64が、ダイオード63に代えて抵抗65が、NMOSトランジスタ44に代えてダイオード67が、それぞれ設けられる。他の回路接続は回路201と同様であり、この回路206もそれと同様に動作する。

【0048】図8を参照して、階段制御電圧発生回路102は、図1に示した回路101と比較すると、ダイオード51および52に代えて抵抗54が、ダイオード53に代えて抵抗55が、それぞれ設けられる。他の回路接続は回路101と同様であり、この回路102も同様

に動作する。

【0049】図9を参照して、階段制御電圧発生回路103は、図1に示した回路101と比較すると、PMOSトランジスタ13に代えて抵抗56が設けられる。他の回路接続は図1に示した回路101と同様であり、この回路103も同様に動作する。

【0050】図10を参照して、階段制御電圧発生回路104は、図1に示した回路101と比較すると、ダイオード51および52に代えて抵抗54が、ダイオード53に代えて抵抗55が、PMOSトランジスタ13に代えて抵抗56が、それぞれ設けられる。他の回路接続は回路101と同様であり、この回路104も同様に動作する。

【0051】図11を参照して、階段制御電圧発生回路105は、図1に示した回路101と比較すると、PMOSトランジスタ13に代えてダイオード57が設けられる。他の回路接続は回路101と同様であり、この回路105も同様に動作する。

【0052】図12を参照して、階段制御電圧発生回路106は、図1に示した回路101と比較すると、ダイオード51および52に代えて抵抗54が、ダイオード53に代えて抵抗55が、PMOSトランジスタ13に代えてダイオード57が、それぞれ設けられる。他の回路接続は回路101と同様であり、この回路106も同様に動作する。

【0053】図3ないし図12に示したいずれの階段制御電圧発生回路202ないし206および102ないし106も、図1に示した出力ドライバ回路において、回路101および/または回路201に代えて適用することができる。言換えると、図1および図3ないし図12に示した階段制御電圧発生回路201ないし206および101ないし106を適当に組合わせることにより、出力電流における急峻な変化を防ぐことのできる出力ドライバ回路が得られる。

【0054】図13は、この発明のさらに別の実施例を示す出力ドライバ回路の回路図である。図13に示した出力ドライバ回路では、図1に示した回路と比較すると、NANDゲート30および40が省かれており、階段制御電圧発生回路107および207において改善が施されている。すなわち、回路107および207のそれぞれの第1段の回路において、NANDゲート30および40の回路機能が追加されている。

【0055】図13を参照して、階段制御電圧発生回路207の第1段回路は、電源電位Vccと接地電位Vssとの間に直列に接続されたダイオード61および62、PMOSトランジスタ36および37ならびにNMOSトランジスタ46と、トランジスタ46と並列に接続されたNMOSトランジスタ45とを含む。トランジスタ36および45は、ゲートが入力データ信号/RDを受けるように接続される。トランジスタ37および4

6のゲートは、出力カインープル信号／OEを受ける。トランジスタ37および46の共通接続ノードが駆動トランジスタ20のゲートに接続される。回路207の後段の回路は、図1に示した回路201の後段の回路と同様の回路接続を有している。

【0056】階段制御電圧発生回路107の第1段回路は、電源電位Vccと接地電位Vssとの間に直列に接続されたPMOSトランジスタ16、NMOSトランジスタ26および27、ダイオード51および52と、トランジスタ16と並列に接続されたPMOSトランジスタ15を含む。トランジスタ16および26のゲートは、入力データ信号／RDを受ける。トランジスタ15および27のゲートは、反転された出力カインープル信号／OEを受ける。トランジスタ16および26の共通接続ノードがトランジスタ10のゲートに接続される。回路107の後段の回路は、図1に示した回路101の後段の回路と同様の回路接続を有している。

【0057】図13に示した出力ドライバ回路も、図1に示した回路と同様に動作するので、同様の利点が得られる。これに加えて、図13に示した回路では、ANDゲート30および40が省かれているので、回路が簡略化されており、したがってより高い動作速度を有する出力ドライバ回路が得られる。

【0058】図14は、この発明のさらに別の実施例を示す出力ドライバ回路の回路図である。図14を参照して、この出力ドライバ回路は、電源電位Vccと接地電位Vssとの間に直列に接続されたNMOSトランジスタ10'およびPMOSトランジスタ20'と、トランジスタ10'のゲートに階段制御電圧を与える階段制御電圧発生回路108と、トランジスタ20'のゲートに階段制御電圧を与える階段制御電圧発生回路208とを含む。図14に示した回路を図1に示した回路と比較すると、駆動のためのプルアップトランジスタとしてNMOSトランジスタ10'が用いられ、一方、駆動のためのプルダウントランジスタとしてPMOSトランジスタ20'が用いられている。したがって、トランジスタ10を制御するための階段制御電圧発生回路108は、図1に示した回路201と同様の回路構成を有している。一方、トランジスタ20'の制御のための階段制御電圧発生回路208は、図1に示した回路101と同様の回路構成を有している。このように、制御されるべき対象である駆動トランジスタ導電型式（すなわちP型またはN型）によって、適用される階段制御電圧発生回路の回路構成のタイプが決定されることが指摘される。したがって、図14に示した回路108および／または208に代えて、図3ないし図12に示した回路202ないし206および102ないし106のいずれをも適用することができる。

【0059】以上の記載において説明した階段制御電圧発生回路は、いずれも3つの階段を含む階段形状で変化

する階段制御電圧を発生している。この発明は、一般に複数の階段を含む階段形状で変化する階段制御電圧を発生する階段制御電圧発生回路により実現され得ることが指摘される。制御電圧の階段の数は、出力端子DQに接続される負荷において要求される動作速度に鑑みて決定される。

【0060】図15は、この発明のさらに別の実施例を示す出力ドライバ回路の回路図である。図15を参照して、この出力ドライバ回路は、複数の階段を含む階段形状で降下する階段制御電圧を発生する階段制御電圧発生回路109と、複数の階段を含む階段形状で上昇する階段制御電圧を発生する階段制御電圧発生回路209とを含む。上記で説明した階段制御電圧発生回路を図15に示した回路109および209に類推して適用することにより、任意の数の階段を含む階段制御電圧が発生され得る。

【0061】図16は、この発明のさらに別の実施例を示す出力ドライバ回路の回路図である。図16を参照して、この出力ドライバ回路は、電源電位Vccと接地電位Vssとの間に直列に接続されたPMOSトランジスタ10およびNMOSトランジスタ20と、トランジスタ10のゲートに制御電圧を与えるNANDゲート77と、トランジスタ20のゲートに制御電圧を与えるNORゲート78とを含む。NANDゲート77は、一方入力ノードを介して入力データ信号RDを受け、他方入力ノードを介して反転された出力カインープル信号／OEを受ける。NORゲート78は、一方入力ノードを介して入力データ信号RDを受け、他方入力ノードを介して出力カインープル信号／OEを受ける。

【0062】電源電位Vccとトランジスタ10のゲートとの間に、ダイオード71、72およびPMOSトランジスタ73が直列に接続される。一方、トランジスタ20のゲートと接地電位Vssとの間にNMOSトランジスタ74、ダイオード75および76が直列に接続される。トランジスタ73は、ゲートがアドレス選移検出回路（以下「ATD回路」という）83から出力されるパルス信号φを受けるように接続される。トランジスタ74は、ゲートがインバータ70により反転されたパルス信号／φを受けるように接続される。ATD回路83は、図19に示されるように、アドレスバッファ84を介して、外部から与えられるアドレス信号XAおよびYAを受ける。ATD回路83は、与えられたアドレス信号XAおよびYAの選移にตอบสนองして、パルス信号φを出力する。トランジスタ73の相互コンダクタンスは、トランジスタ10と比較して小さな値に設計される。同様に、トランジスタ74の相互コンダクタンスは、トランジスタ20と比較して小さな値に設計される。

【0063】図17は、図16に示した出力ドライバ回路の動作を説明するためのタイミング図である。図16および図17を参照して、次に動作について説明する。

時刻 t_{10} において、NORゲート78は、入力データ信号RDにตอบสนองして、高レベル (V_{cc} レベル) に向かう信号を出力し始める。したがって、図17に示すように、時刻 t_{10} および t_{11} の間の期間において、駆動トランジスタ20のゲート電圧VGは、図17に示すように上昇する。時刻 t_{11} ないし t_{12} の期間において、ATD回路83から高レベルのパルス信号 ϕ がトランジスタ74のゲートに与えられる。したがって、トランジスタ74がこの期間においてオンするので、トランジスタ20のゲート電圧VGがダイオード75および76の導通抵抗によって決定される中間電位 V_m に一時的に保持される。この実施例においても、各ダイオード75および76は、しきい電圧 V_{th} を有するMOSトランジスタにより形成されているので、中間電位 V_m は、 $V_{ss} + 2V_{th}$ である。

【0064】時刻 t_{12} の後、パルス信号 ϕ が立下がる。したがって、トランジスタ74がオフするので、トランジスタ20のゲート電圧VGはNORゲート78からの V_{cc} レベルに向かう出力電圧に従って再び上昇する。その結果、ゲート電圧VGは、図17の曲線C3に示されるように変化する。

【0065】したがって、駆動トランジスタ20は、時刻 t_{11} ないし t_{12} の間の期間において一時的に中間の導通状態にもたらされた後、時刻 t_{14} において完全に導通状態になる。その結果、出力電圧DQは、図17の曲線C5に示されるように変化する。図17の曲線C6は、比較のため、図16に示した一時的な電圧保持回路が設けられない場合、すなわち従来の回路における出力電圧の変化を示している。

【0066】図17の曲線C5およびC6を比較するとわかるように、従来の出力ドライバ回路の出力電圧DQは急峻に立下がっていたが（曲線C6）、図16に示した出力ドライバ回路の出力電圧DQは、全体として、より緩やかに立下がる（曲線C5）。その結果、出力端子DQを介して流れる出力電流における急峻な変化が防がれ、図22に示した寄生インダクタンス301、302によるノイズの発生が防がれ得る。

【0067】なお、上記の記載ではプルダウントランジスタ20のゲート電圧VGの制御について説明がなされたが、プルアップトランジスタ10の制御電圧についても類似の制御が行なわれ、ノイズの発生が防がれることが指摘される。

【0068】すなわち、ANDゲート77が入力データ信号RDにตอบสนองして降下する制御電圧を出力した後、ATD回路83から負のパルス信号 ϕ が発生される。トランジスタ73は負のパルス信号 ϕ にตอบสนองしてオンするので、導通期間においてトランジスタ10のゲートに $V_{cc} - 2V_{th}$ の制御電圧が与えられる。したがって、トランジスタ10はゲート電圧 $V_{cc} - 2V_{th}$ によって決定される中間の導通状態でこの期間においてオンす

る。パルス信号 ϕ の負の期間が終了した後、トランジスタ73がオフするので、トランジスタ10のゲートにNANDゲート77から出力される低レベルに向かう制御電圧が与えられる。したがって、トランジスタ10は完全に遮断状態にもたらされる。その結果、出力電流における急峻な変化が防がれ、ノイズの発生が防がれる。

【0069】図18は、この発明のさらに別の実施例を示す出力ドライバ回路の回路図である。図18を参照して、図16に示した出力ドライバ回路と比較すると、ダイオード71および72に代えて抵抗81が、ダイオード75および76に代えて抵抗82が、それぞれ設けられる。他の回路接続は図16の回路と同様であり、同様の利点が得られる。

【0070】図16および図18に示した実施例では、ATD回路83から発生されるパルス信号 ϕ が用いられている。パルス信号 ϕ は、外部から与えられるアドレス信号XAおよびYAの遷移にตอบสนองして発生される。ATD回路83に代えて、他の外部から与えられる制御信号にตอบสนองしてパルス信号 ϕ を発生する回路も用いられ得ることが指摘される。

【0071】このように、以上の記載したいずれの出力ドライバ回路においても、出力端子DQを駆動する駆動トランジスタのゲートに階段制御電圧が与えられる。したがって、駆動トランジスタが瞬時に遮断状態から導通状態へ変化するのを防がれる。すなわち、駆動トランジスタが導通状態に向け次第に変化する。したがって、出力端子DQを介して流れる出力電流における急峻な変化が防がれるので、図22に示したような寄生インダクタンス301、302によりノイズが発生されるのを防がれる。その結果、電源ライン V_{cc} および接地ライン V_{ss} のレベルがノイズによって変動するのが防がれ、半導体メモリにおける誤動作が防がれる。

【0072】以上の記載では、この発明がSRAM、すなわち半導体メモリに適用される例について説明がなされたが、この発明は一般に半導体集積回路装置における出力ドライバ回路として適用され得ることが指摘される。

【0073】

【発明の効果】以上のように、この発明によれば、出力端子を駆動するための駆動トランジスタが、階段制御電圧発生手段または一時的電圧保持手段の作用により段階的に遮断状態から導通状態へ変化するもので、出力電流における急峻な変化が防がれ、ノイズの発生が抑制され得る。

【図面の簡単な説明】

【図1】この発明の一実施例を示す出力ドライバ回路の回路図である。

【図2】図1に示した階段制御電圧発生回路の動作を説明するためのタイミング図である。

【図3】この発明の別の実施例を示す出力ドライバ回路

の回路図である。

【図４】この発明のさらに別の実施例を示す出力ドライバ回路の回路図である。

【図５】この発明のさらに別の実施例を示す出力ドライバ回路の回路図である。

【図６】この発明のさらに別の実施例を示す出力ドライバ回路の回路図である。

【図７】この発明のさらに別の実施例を示す出力ドライバ回路の回路図である。

【図８】この発明のさらに別の実施例を示す出力ドライバ回路の回路図である。

【図９】この発明のさらに別の実施例を示す出力ドライバ回路の回路図である。

【図１０】この発明のさらに別の実施例を示す出力ドライバ回路の回路図である。

【図１１】この発明のさらに別の実施例を示す出力ドライバ回路の回路図である。

【図１２】この発明のさらに別の実施例を示す出力ドライバ回路の回路図である。

【図１３】この発明のさらに別の実施例を示す出力ドライバ回路の回路図である。

【図１４】この発明のさらに別の実施例を示す出力ドライバ回路の回路図である。

【図１５】この発明のさらに別の実施例を示す出力ドライバ回路の回路図である。

【図１６】この発明のさらに別の実施例を示す出力ドライバ回路の回路図である。

【図１７】図１６に示した階段制御電圧発生回路の動作を説明するためのタイミング図である。

【図１８】この発明のさらに別の実施例を示す出力ドライバ回路の回路図である。

【図１９】従来のSRAMの回路ブロック図である。

【図２０】図１９に示したSRAMにおいて用いられるメモリセルの一例を示す回路図である。

【図２１】図１９に示したSRAMにおいて用いられるメモリセルの別の例を示す回路図である。

【図２２】半導体メモリがプリント配線基板上に実装されたときの模式的な回路図である。

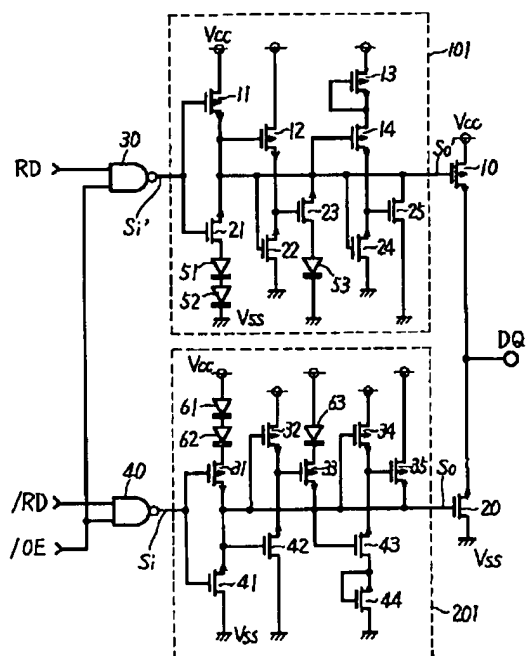
【図２３】図１９に示した出力ドライバ回路の回路図である。

【図２４】図２２に示した半導体メモリにおける誤動作を説明するための信号波形図である。

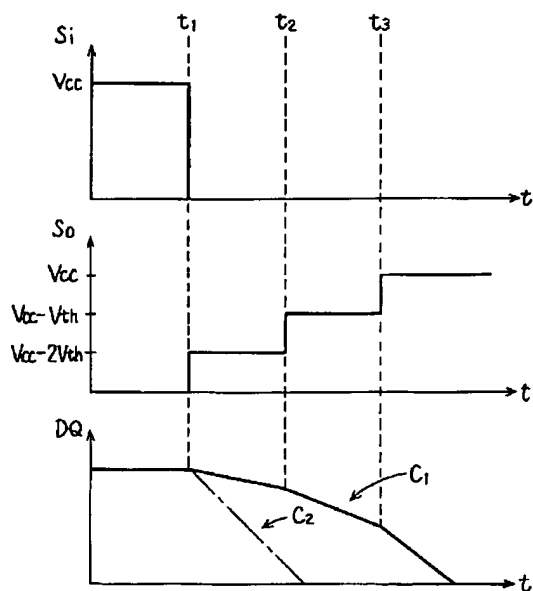
【符号の説明】

- 10 駆動用PMOSトランジスタ
- 11-14 PMOSトランジスタ
- 20 駆動用NMOSトランジスタ
- 21-25 NMOSトランジスタ
- 30, 40 NANDゲート
- 31-35 PMOSトランジスタ
- 41-44 NMOSトランジスタ
- 101, 201 階段制御電圧発生回路
- DQ 出力端子
- RD, /RD 入力データ信号

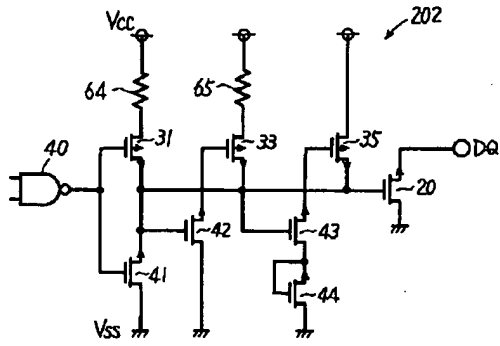
【図１】



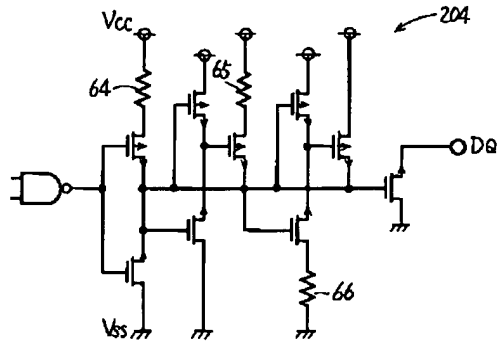
【図２】



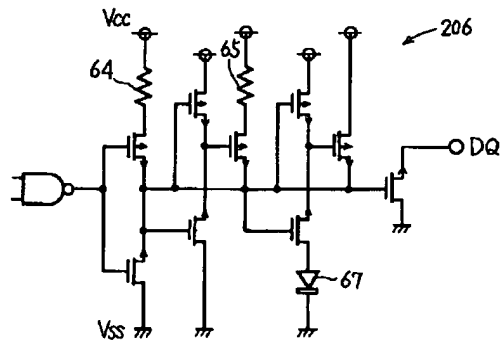
【图 3】



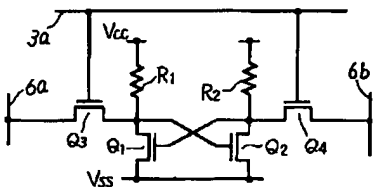
【图 5】



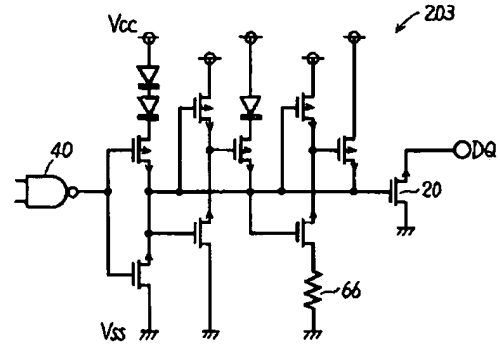
【图 7】



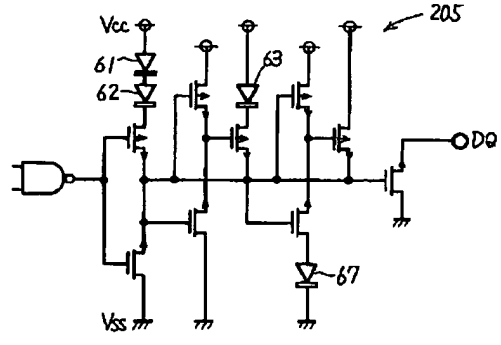
【图 20】



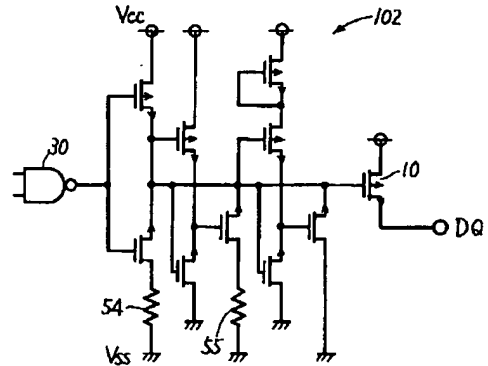
【图 4】



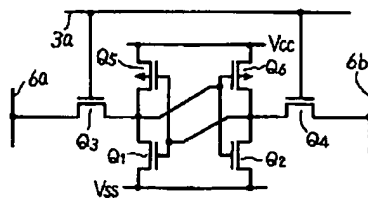
【图 6】



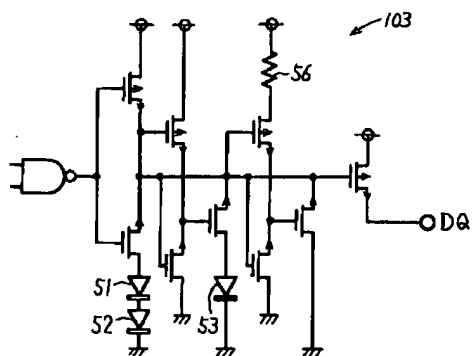
【图 8】



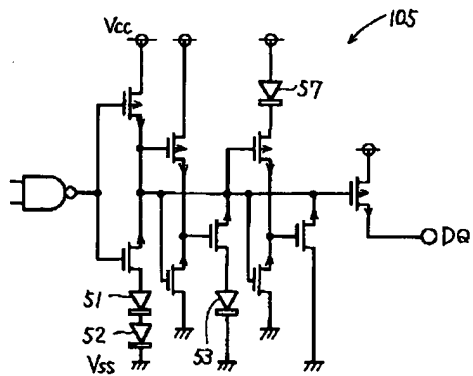
【图 21】



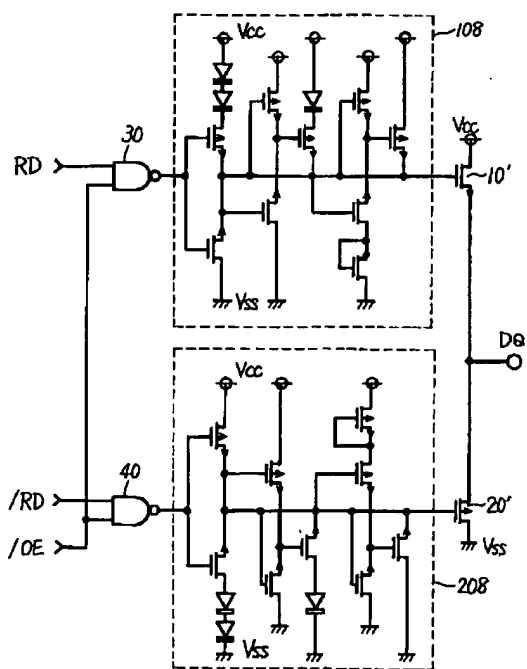
【图 9】



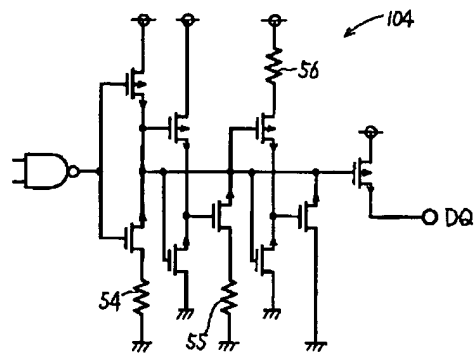
【图 11】



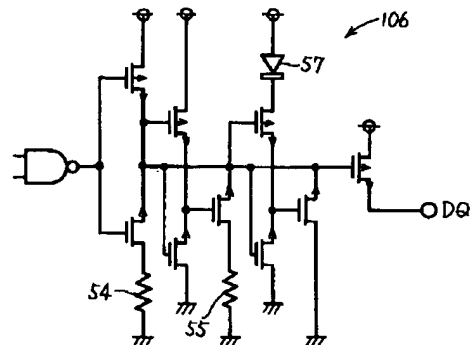
【图 14】



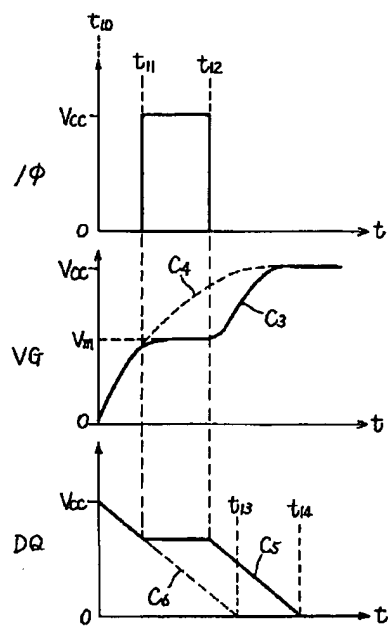
【图 10】



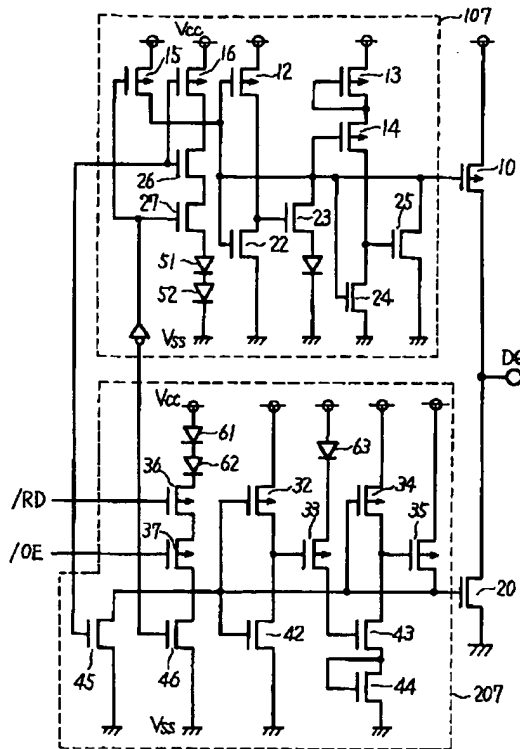
【图 12】



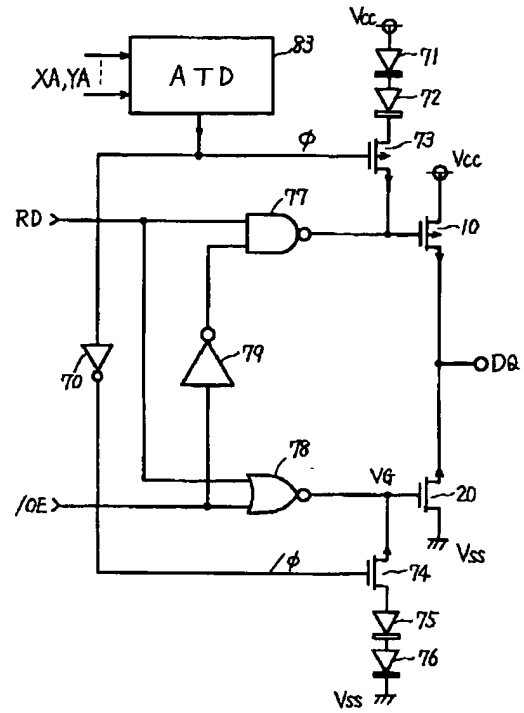
【图 17】



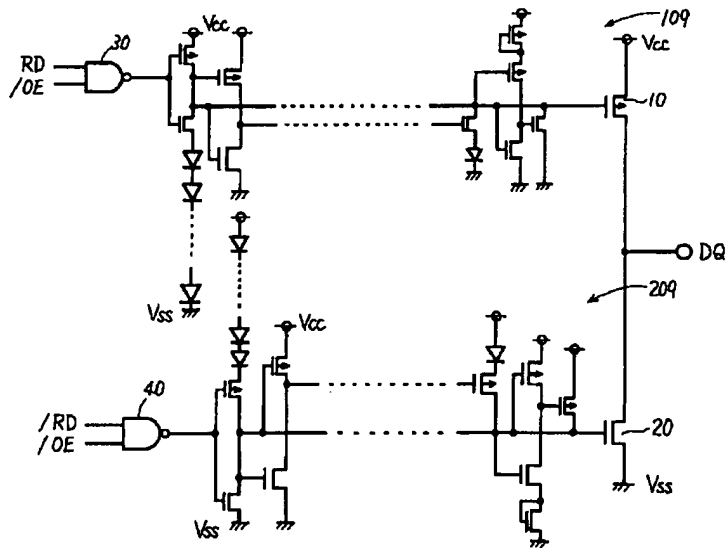
【図13】



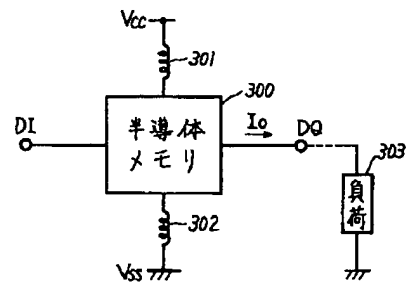
【図16】



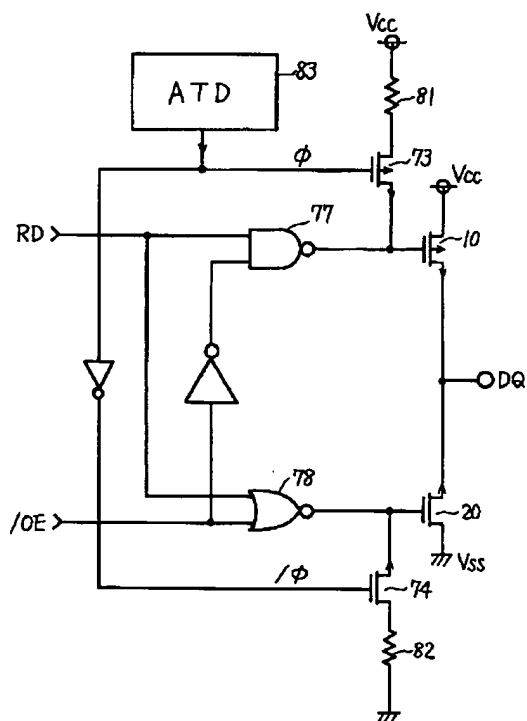
【図15】



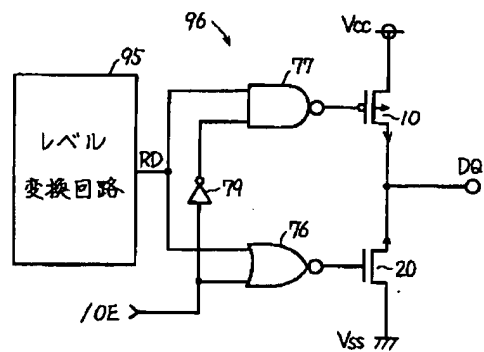
【図22】



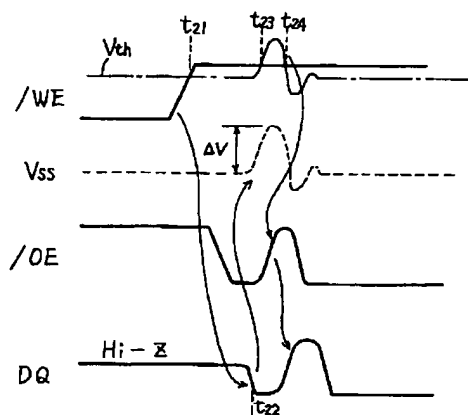
【図 1 8】



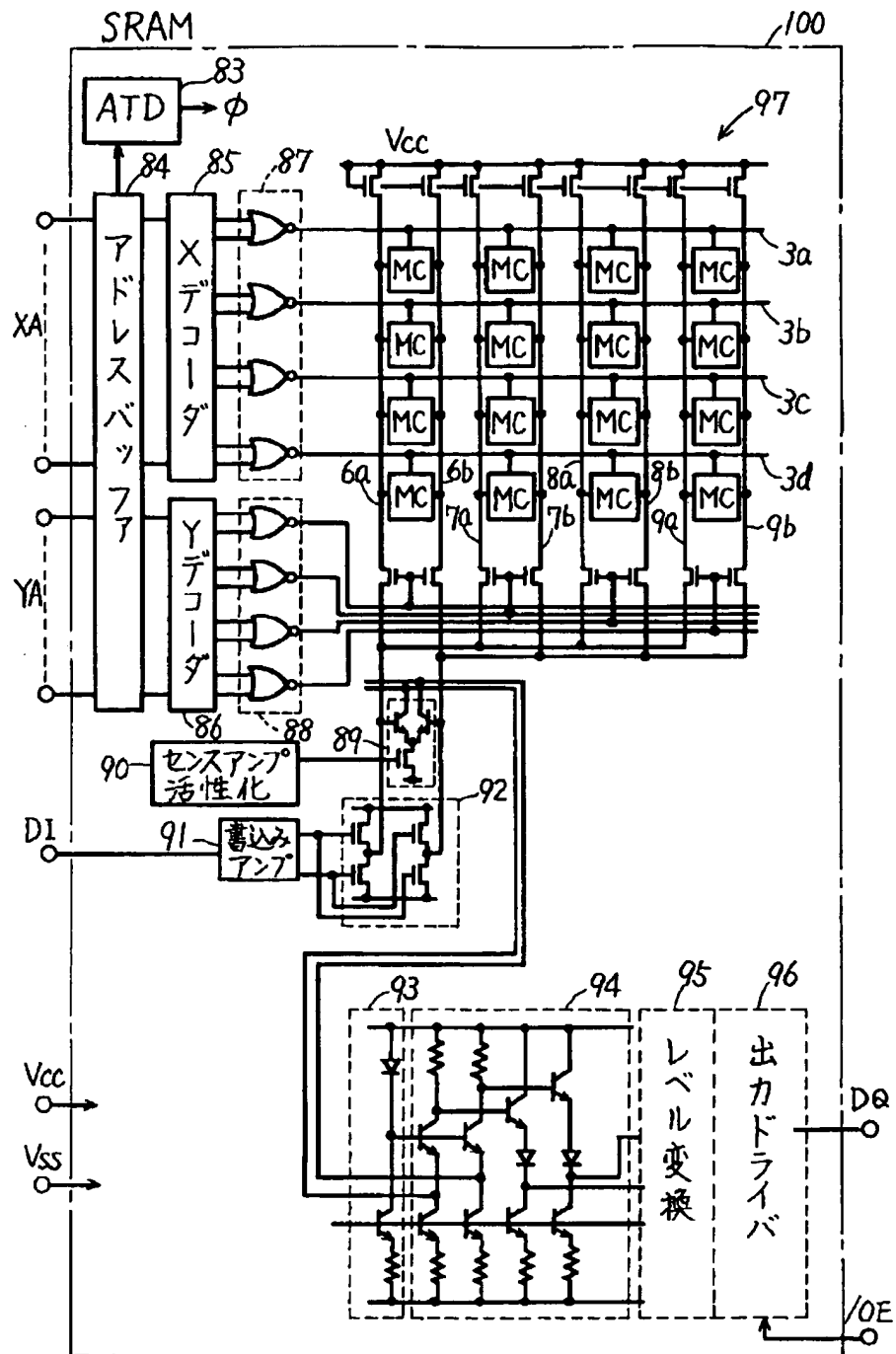
【図 2 3】



【図 2 4】



【図 19】



フロントページの続き

(51)Int.Cl.⁵
H 0 3 K 19/003

識別記号 庁内整理番号
Z 8941-5 J

F I

技術表示箇所